

SPRAWOZDANIE
Z
LABORATORIUM UKŁADÓW LOGICZNYCH

Temat ćwiczenia nr 6,7: Liczniki w układach arytmetycznych.

Wykonał:

CEL ĆWICZENIA:

Celem ćwiczenia jest zapoznanie się z możliwościami wykorzystania scalonych liczników MSI do realizacji prostych układów arytmetycznych. Ćwiczenie składa się z dwóch części:

- projekt i realizacja układu realizującego operację $Y = A - B + C$
- projekt i realizacja układu realizującego operację $Y = A - B / D$

W związku z tym, że w wykorzystywana w programie AHDL biblioteka TTL nie posiadała układu 7497, mój układ zrealizowałem tylko na układach dostępnych w tej bibliotece tj. 74193, 7411 oraz 7404.

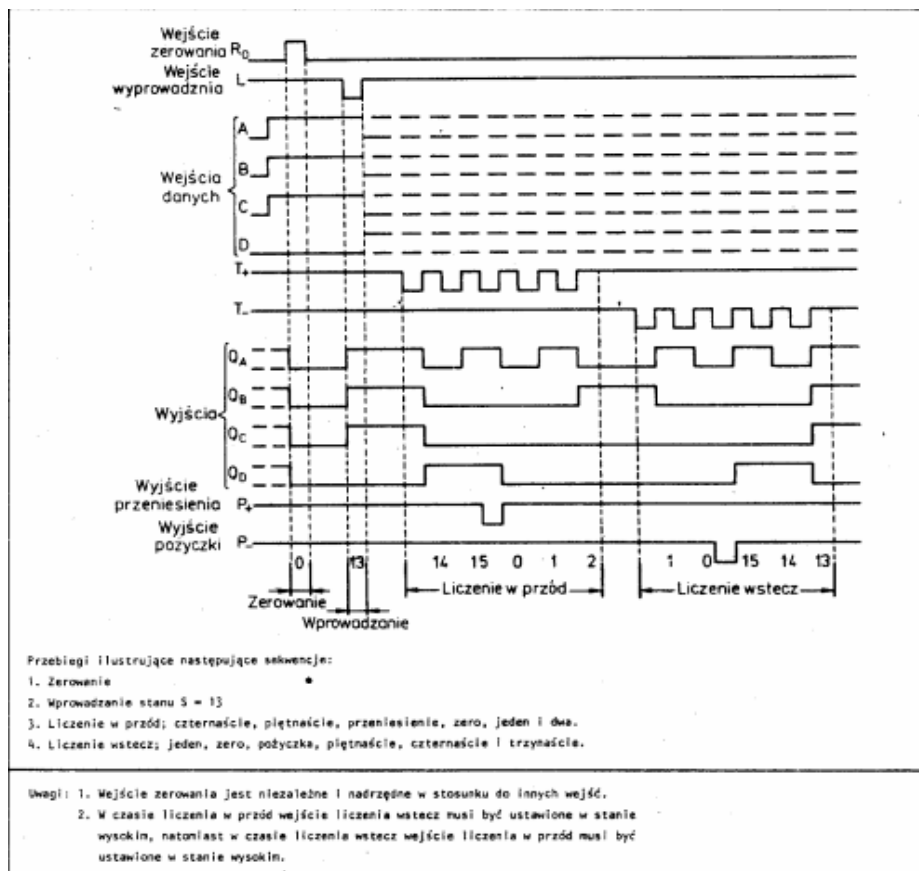
PRZEBIEG ĆWICZENIA:

- projekt i realizacja układu realizującego operację $Y = A - B + C$

1. Zasada działania układu.

Warunkiem poprawnego działania układu jest to, by $(A + C) \geq B$

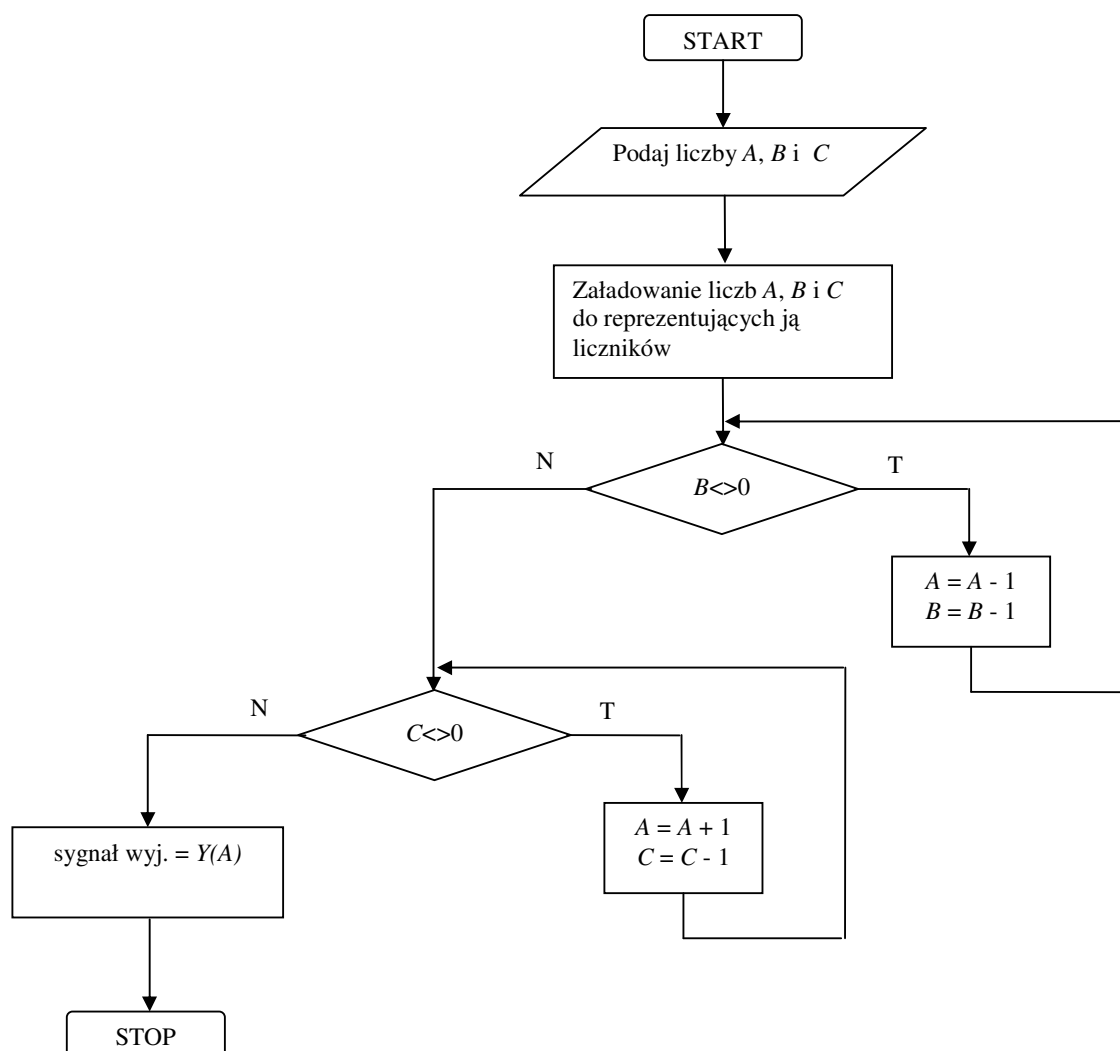
Przed podaniem sygnału zegarowego CLK na wejścia wszystkich liczników **74193**, na wejścia UP (zliczanie w górę) liczników podajemy sygnał „1”, bo chcemy, by liczniki liczyły w dół. Następnie na wejścia LOAD (załadowanie liczb) i CLR (zerowanie licznika) podajemy sygnał „1”. W następnym cyklu sygnału CLK na wejścia LOAD i CLR podajemy sygnał „0”. Ostatnim etapem jest przesłanie w następnym cyklu sygnału zegarowego na wejście LOAD każdego z liczników sygnału „1”. Po wykonaniu tej czynności nie dokonujemy już żadnych zmian. Pozostanie nam jedynie obserwowanie sygnału wyjściowego i sprawdzenie, czy jest on taki, jak zakładaliśmy.



Na wyjściu BO (pożyczka) jest sygnał „1”, gdy licznik liczy, a gdy licznik zliczy do 0, to na wyjściu tym jest sygnał 0.

Na wejścia dwuwejściowej bramki AND podajemy sygnał zegarowy CLK i sygnał z wyjścia BO = „1” licznika reprezentującego liczbę B . Wyjście bramki podłączone jest do wejścia DN (zliczanie w dół) licznika reprezentującego liczbę B . Zanegowany sygnał z wyjścia tej bramki podłączony jest także do wejścia DN licznika reprezentującego liczbę A . Teraz w każdym cyklu zegarowym odejmujemy jeden od liczby A i B . Gdy liczba $B = 0$, to na wyjściu B0 reprezentującego ją licznika jest sygnał „0”. Sygnał ten podany na jedno z wejść dwuwejściowej bramki AND powoduje, że na jej wyjściu jest sygnał „0”, a więc licznik reprezentujący liczbę B już nie pracuje. Zanegowany sygnał B0 z licznika reprezentującego liczbę B podawany jest na wejście innej bramki AND (trójwejściowej). Na dwa pozostałe wejścia tej bramki podajemy sygnał zegarowy CLK i sygnał B0 licznika reprezentującego liczbę C . Wyjście bramki podłączone jest do wejścia DN (zliczanie w dół) licznika reprezentującego liczbę C . Zanegowany sygnał z wyjścia tej bramki podłączony jest do wejścia UP licznika reprezentującego liczbę A . Teraz w każdym cyklu sygnału zegarowego „schodzimy” z liczbą C do zera. W każdym cyklu pomniejszamy ją o 1, a zarazem powiększamy liczbę A o 1. Gdy liczba $C=0$, to wyjście B0 = 0 reprezentującego ją licznika. Sygnał ten podany na jedno z wejść trójwejściowej bramki AND powoduje, że na jej wyjściu jest sygnał „0”, a więc liczniki reprezentujące liczbę A i C już nie pracują. Na wyjściu licznika reprezentującego liczbę A powinniśmy otrzymać poprawny wynik.

Do przedstawienia zasady działania układu wykorzystam blokowy schemat algorytmiczny (rys. 1)



rys. 1

Dla przykładu rozpatruję przypadek:

$A = 3$

$B = 2$

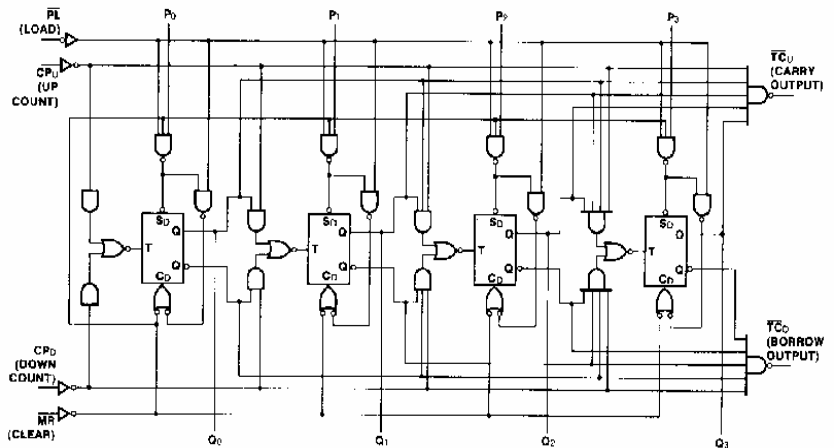
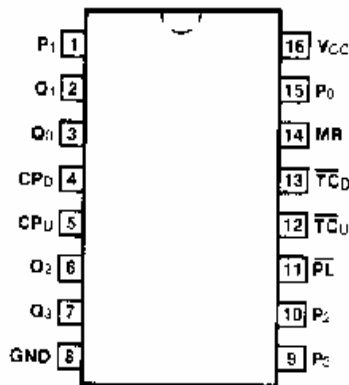
$C = 4$

$$Y = 3 - 2 + 4 = 5$$

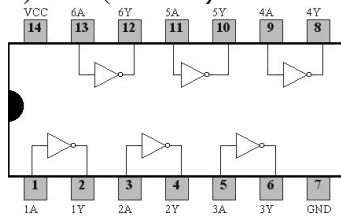
cykl	A	B	C
1	3	2	4
2	2	1	4
3	1	0	4
4	2	0	3
5	3	0	2
6	4	0	1
7	5	0	0

Przekroje układów TTL wykorzystane do budowy układu:

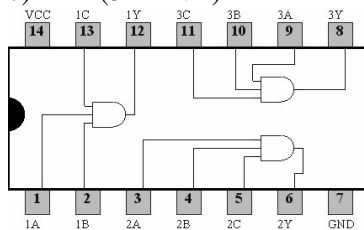
a) 74193



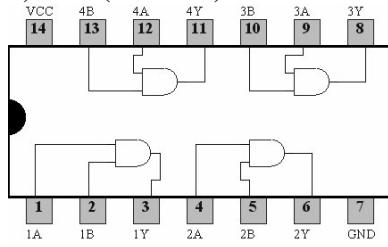
b) 7404 (6x NOT)



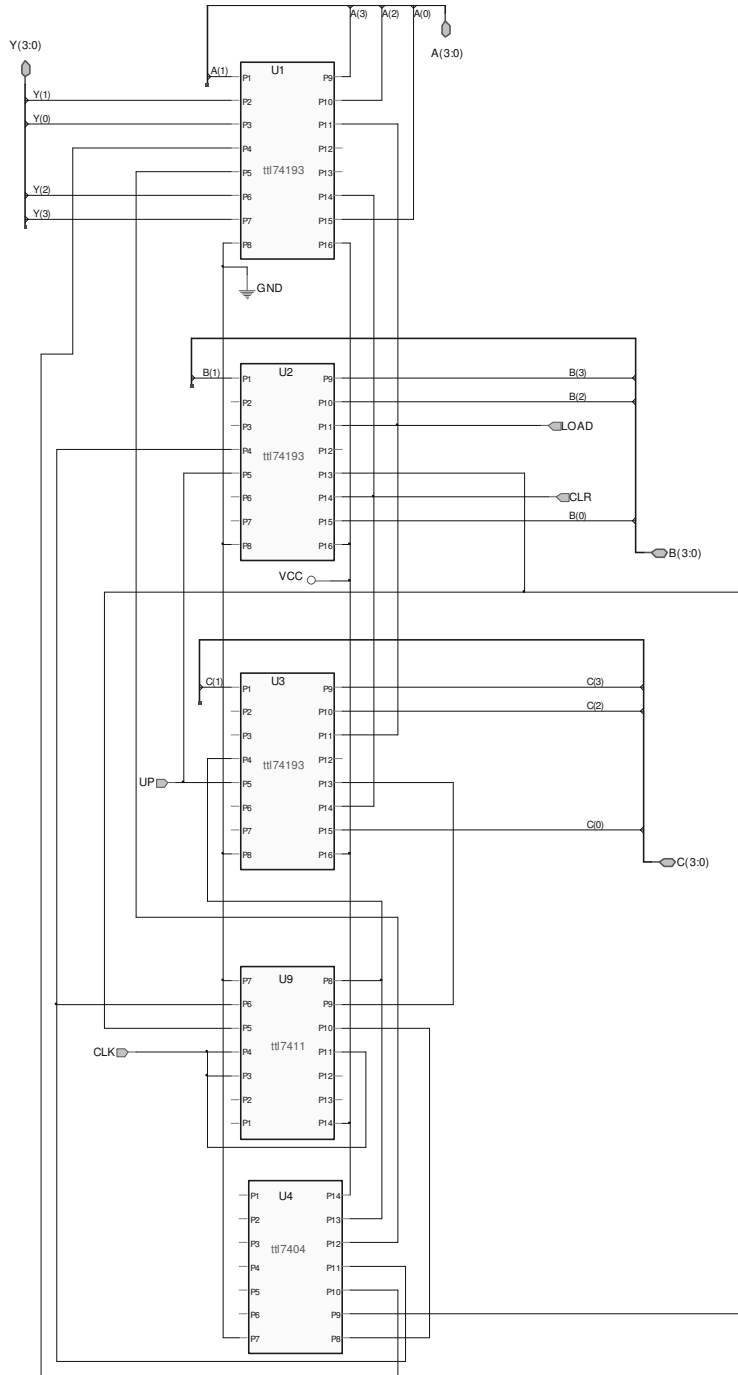
c) 7411 (3x AND)



d)7408 (4x AND)



3. Projekt układu w programie AHDL z wykorzystaniem biblioteki TTL (rys. 2)



rys. 2

4. Przebiegi czasowe

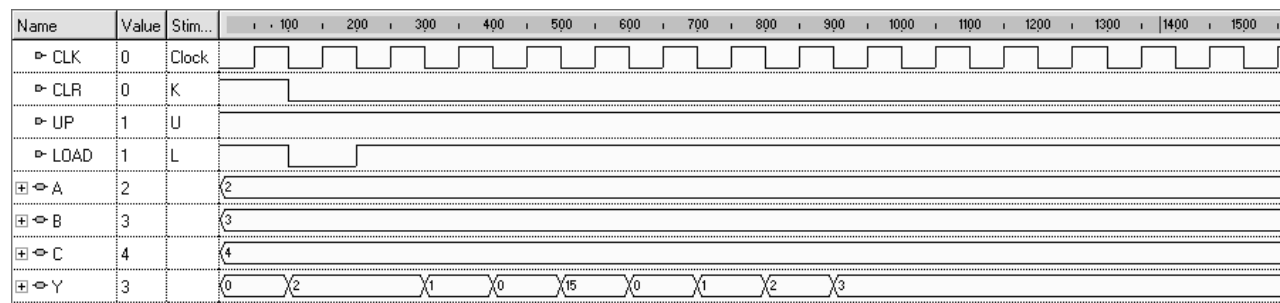
a) Przebieg czasowy dla wartości sygnałów: (rys. 3)

$$A = 2$$

$$B = 3$$

$$C = 4$$

$$Y = 2 - 3 + 4 = 3$$



rys. 3

Na przebiegu czasowym możemy przeanalizować pracę układu, a szczególnie sygnał wyjściowy Y , który jest wyjściem licznika reprezentującego liczbę A . W pierwszym cyklu sygnału zegarowego CLK widać, że $Y=0$, ponieważ liczby nie zostały jeszcze „załadowane” do liczników. W następnym cyklu sygnału CLK liczby zostały już załadowane – $Y=2$, ale układ zacznie poprawnie pracować dopiero od następnego cyklu, gdy $CLR=0$, $UP=0$, $LOAD=1$. Pierwsza faza działania układu, to zmniejszanie w kolejnych cyklach liczb A i B aż do momentu, gdy $B=0$. Ponieważ w tym przypadku liczba A była o jeden mniejsza od liczby B , to na zakończenie tej fazy pracy układu na wyjściu Y możemy zaobserwować liczbę 15, która faktycznie oznacza liczbę -1 . W kolejnej fazie działania układu liczba A będzie zwiększana o jeden, a liczba C będzie zmniejszana o jeden, w kolejnych cyklach. Warunkiem zakończenia tego cyklu, a zarazem pracy całego układu jest warunek, by $C=0$. W tym przypadku $C=4$, a więc liczba A powiększona o 4 w ostatniej fazie działania układu da wynik 3 ($-1+4=3$).

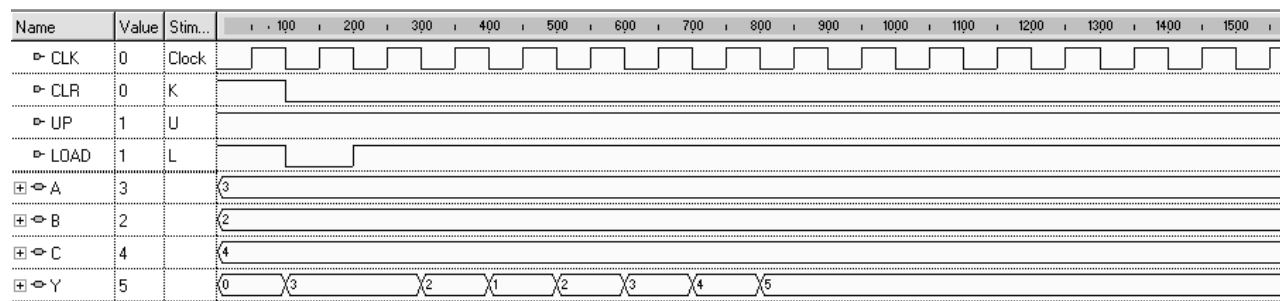
b) Przebieg czasowy dla wartości sygnałów: (rys. 4)

$$A = 3$$

$$B = 2$$

$$C = 4$$

$$Y = 3 - 2 + 4 = 5$$



rys. 4

Praca układu jest analogiczna, jak w punkcie *b*)

Przypadek ten rozpatrzony był także w punkcie 1, podczas analizy schematu blokowego (rys.1).

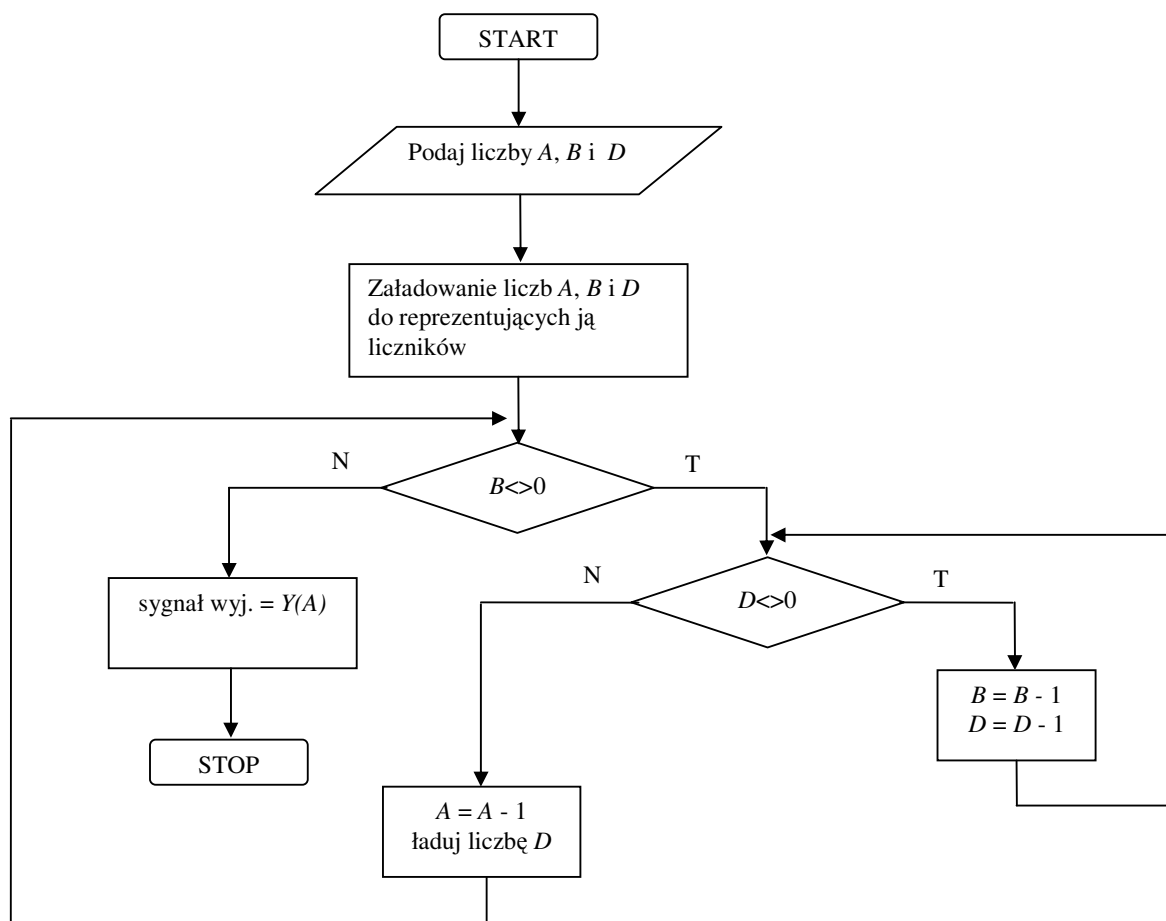
- projekt i realizacja układu realizującego operację $Y = A - B / D$

1. Zasada działania układu.

Warunkiem poprawnego działania układu jest to, by: $A \geq (B/D)$

Na wejścia pierwszej dwuwejściowej bramki AND podajemy sygnał zegarowy CLK i sygnał z wyjścia $BO = „1”$ licznika reprezentującego liczbę B . Wyjście bramki podłączone jest do wejścia DN (zliczanie w dół) licznika reprezentującego liczbę B i D . Teraz w każdym cyklu zegarowym odejmujemy jeden od liczby B i D . Gdy liczba $D = 0$, to na wyjściu $B0$ reprezentującego ją licznika jest sygnał „0”. Wyjście to podłączone jest jednego z wejść drugiej dwuwejściowej bramki AND. Do drugiego wejścia tej bramki podłączony jest sygnał $LOAD=1$. Gdy wyjście $BO=0$ licznika reprezentującego liczbę D , to sygnał z wyjścia drugiej bramki podany na wejście $LOAD$ tego licznika powoduje, że do tego licznika ponownie ładowana jest liczba D . Wyjście BO tego licznika połączone jest także do wejścia DN licznika reprezentującego liczbę A i każda zmiana wartości sygnału BO licznika reprezentującego liczbę D powoduje pomniejszenie o jeden liczby A . Gdy liczba $B=0$, to wyjście $B0 = 0$ reprezentującego ją licznika. Sygnał ten podany na jedno z wejść pierwszej bramki AND powoduje, że na jej wyjściu jest sygnał „0”, a więc liczniki reprezentujące liczbę B i D już nie pracują. Praca licznika reprezentującego liczbę A uzależniona jest od pracy licznika reprezentującego liczbę D , a więc także nie pracuje. Na wyjściu licznika reprezentującego liczbę A powinniśmy otrzymać poprawny wynik.

Do przedstawienia zasady działania układu wykorzystam blokowy schemat algorytmiczny (rys. 5)



rys. 5

Dla przykładu rozpatruję przypadek:

$$A = 5$$

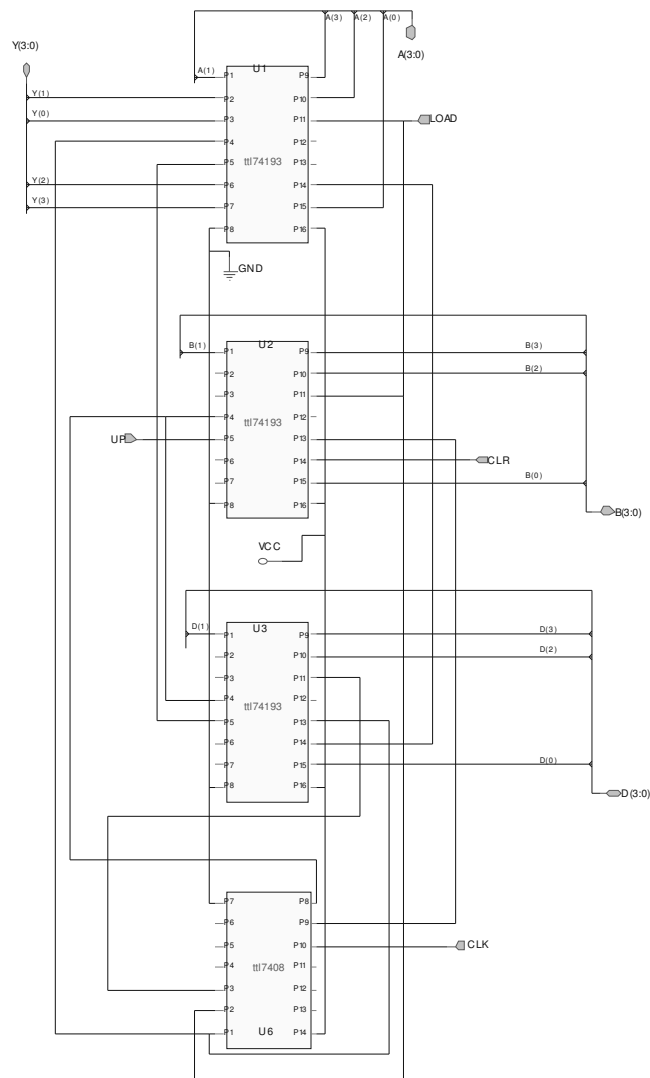
$$B = 8$$

$$D = 2$$

$$Y = 5 - 8/2 = 1$$

cykl	A	B	D
1	5	8	2
2	5	7	1
3	4	6	0 -> 2
4	4	5	1
5	3	4	0 -> 2
6	3	3	1
7	2	2	0 -> 2
8	2	1	1
9	1	0	0

2. Projekt układu w programie AHDL z wykorzystaniem biblioteki TTL (rys. 6)



rys. 6

3. Przebiegi czasowe

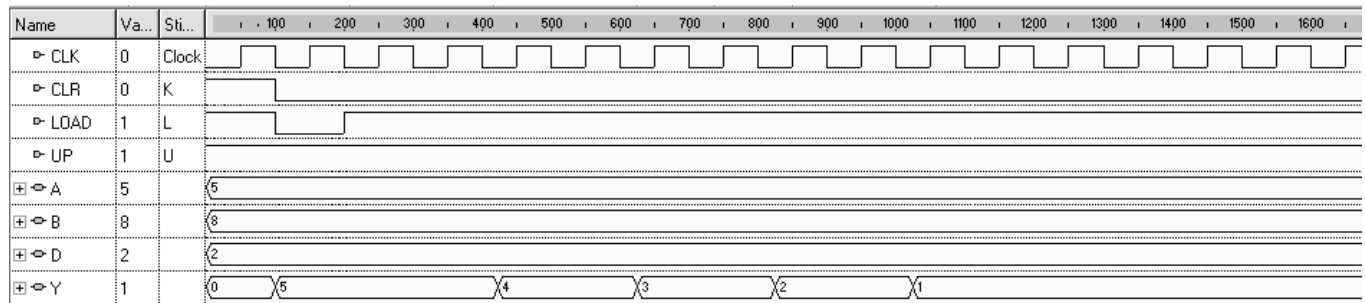
a) Przebieg czasowy dla wartości sygnałów: (rys. 7)

$$A = 5$$

$$B = 8$$

$$D = 2$$

$$Y = 5 - 8/2 = 1$$



rys. 7

Na przebiegu czasowym możemy przeanalizować pracę układu, a szczególnie sygnał wyjściowy Y , który jest wyjściem licznika reprezentującego liczbę A . W pierwszym cyklu sygnału zegarowego CLK widać, że $Y=0$, ponieważ liczby nie zostały jeszcze „załadowane” do liczników. W następnym cyklu sygnału CLK liczby zostały już załadowane – $Y=5$, ale układ zacznie poprawnie pracować dopiero od następnego cyklu, gdy $CLR=0$, $UP=0$, $LOAD=1$. W tym momencie zaczyna się zmniejszanie w kolejnych cyklach liczb B i D aż do momentu, gdy $D=0$. Gdy liczba $D=0$, to następowało pomniejszenie o jeden liczby A , czyli w tym przypadku, gdy $D=2$ liczba A była pomniejszana co dwa cykle zegarowe (jak widać na przebiegu czasowym). Gdy $D=0$, to następowało ponowne załadowanie liczby D do reprezentującego ją licznika. Warunkiem zakończenia pracy całego układu jest warunek, by $B=0$.

Przypadek ten rozpatrzony był także w punkcie 1, podczas analizy schematu blokowego (rys.5)..

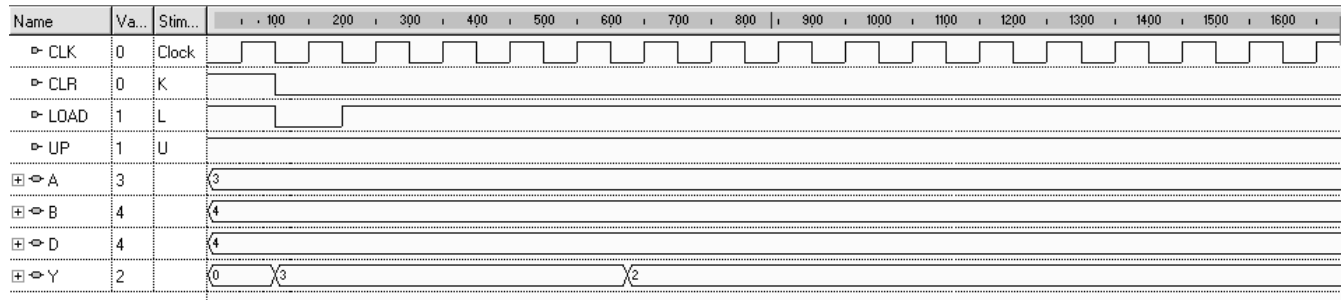
b) Przebieg czasowy dla wartości sygnałów: (rys. 8)

$$A = 3$$

$$B = 4$$

$$C = 4$$

$$Y = 3 - 4/4 = 2$$



rys. 8

Praca układu jest analogiczna, jak w punkcie b)

Wnioski:

W ćwiczeniu tym korzystaliśmy ze scalonego rewersyjnego licznika synchronicznego modulo 16 74193. Pracuje on w następujących trybach:

- równoległego wpisywania stanu (informacji) startowego (wejścia równoległe danych A, B, C, D);
- równoległego wyprowadzania informacji (Q_D , Q_C , Q_B , Q_A);
- dwukierunkowego zliczania impulsów (wejścia T_+ - dla dodawania impulsów i T_- - dla odejmowania impulsów);
- łączenia w zespoły liczników o większej pojemności (przez wyjścia przeniesienia P_+ - do zliczania w przód i pożyczki P_- - do zliczania wstecz).