

SPRAWOZDANIE
Z
LABORATORIUM UKŁADÓW LOGICZNYCH

Temat ćwiczenia nr 4: Liczniki synchroniczne i asynchroniczne.

Wykonał:

CEL ĆWICZENIA:

Moim zadaniem było zaprojektowanie asynchronicznego licznika o programowalnej długości z wykorzystaniem scalonego licznika MSI 7493.

PRZEBIEG ĆWICZENIA:

Mój licznik będzie posiadał do wyboru cztery długości liczenia: *modulo 3*, *modulo 5*, *modulo 9*, *modulo 12*.

Do wyboru długości liczenia wykorzystam dwa sygnały sterujące: *a*, *b*.

Poniższa tabela przedstawia zmianę długości liczenia w zależności od wartości sygnałów sterujących:

sygnał <i>a</i>	sygnał <i>b</i>	dł. liczenia
0	0	modulo 3
0	1	modulo 5
1	0	modulo 9
1	1	modulo 12

Do sterowania długością licznika nie wystarczą nam tylko sygnały sterujące. Potrzebna jest także odpowiednia kombinacja wyjść licznika (Q0 – Q3). Te wszystkie sygnały podane na wejście RESET licznika spowodują jego wyzerowanie po osiągnięciu żądanej długości.

W przypadku licznika modulo 3, licznik zacznie pracę od stanu 0, następnie przejdzie kolejno w stan 1 i 2, a w stanie 3 na wejście RESET zostanie podany wysoki sygnał ('1'), licznik zostanie wyzerowany i zacznie pracę od stanu 0.

Pracę licznika ilustruje tablica Karnaugh, którą się posłużyłem szukając odpowiednich kombinacji wyjść licznika. W miejscu (w stanie) gdzie jest 1, następuje wyzerowanie licznika. Znak '-' oznacza, że nie jest istotne, jaki stan logiczny pojawi się na wyjściu przy tej kombinacji. Ta kombinacja na pewno nie nastąpi, ponieważ licznik wcześniej zostanie wyzerowany.

Analogicznie jak w przypadku pracy modulo 3, jest w pozostałych przypadkach.

a) modulo 3

$\begin{matrix} Q1Q0 \\ Q3Q2 \end{matrix}$	00	01	11	10
00	0	0	1	0
01	-	-	-	-
11	-	-	-	-
10	-	-	-	-

$$y = Q1 \cdot Q0$$

b) modulo 5

$\begin{matrix} Q1Q0 \\ Q3Q2 \end{matrix}$	00	01	11	10
00	0	0	0	0
01	0	1	-	-
11	-	-	-	-
10	-	-	-	-

$$y = Q2 \cdot Q0$$

c) modulo 9

Q_1Q_0 Q_3Q_2	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	-	-	-	-
10	0	1	-	-

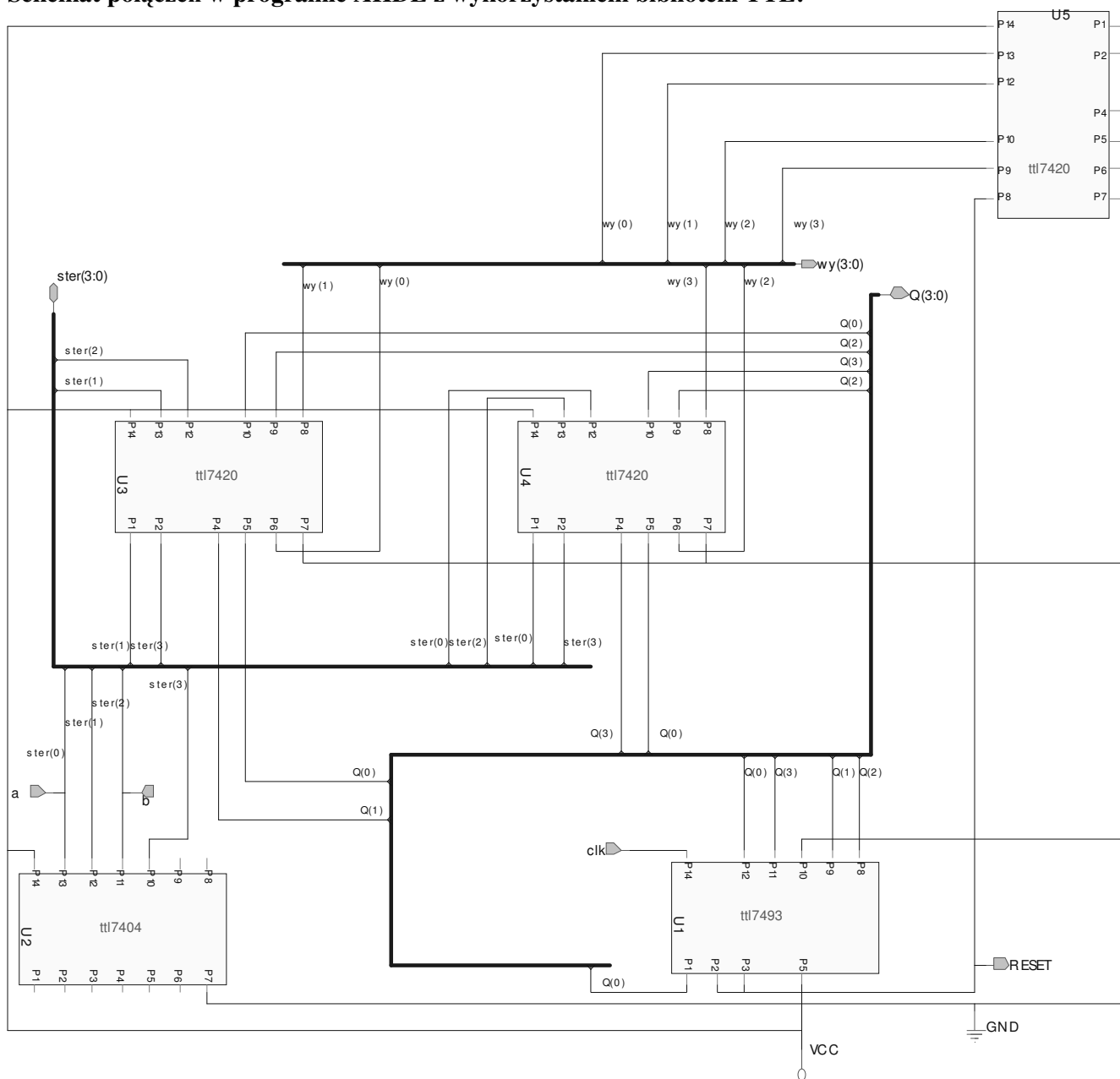
$$y = Q_3 \cdot Q_0$$

d) modulo 12

Q_1Q_0 Q_3Q_2	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	-	-	-
10	0	0	0	0

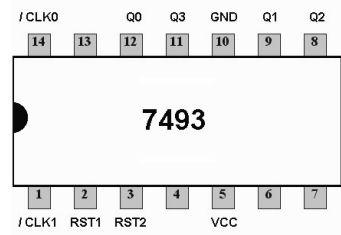
$$y = Q_3 \cdot Q_2$$

Schemat połączeń w programie AHDL z wykorzystaniem biblioteki TTL:

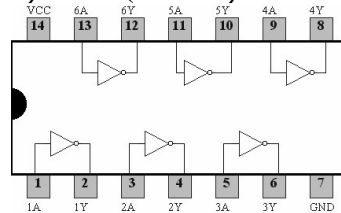


Przekroje układów TTL:

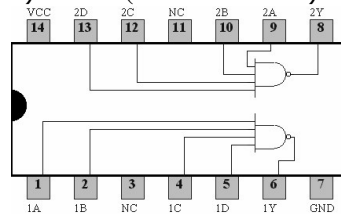
a) **7493** (4-bitowy asynchroniczny licznik dwójkowy z trybami /2 i /8 i z resetem)



b) **7404** (6x NOT)



c) **7420** (2x NAND 4we)



Do budowy powyższego układu wykorzystałem jeden układ 7493, jeden układ 7404 i 3 układy 7420. Układ 7493 pełnił rolę licznika asynchronicznego, układ 7404 był wykorzystywany do zanegowania sygnałów sterujących a i b. Układ 7420 potrzebny był do sterowania długości liczenia tzn. każda bramka NAND była poszczególnym dekodery. U układach 7420 (U3 i U4) na każde wejście bramki NAND podawane były sygnały sterujące a, b i odpowiednie wyjścia licznika. Układ 7420 (U5), w którym wykorzystałem tylko jedną bramkę NAND, sumował sygnały wyjściowe każdego z dekodery (*modulo 3, modulo 5, modulo 9, modulo 12*), a wyjście tej bramki podłączone było do wejścia RESET układu 7493.

Do budowy tego układu wykorzystałem także trzy magistrale: Q , $ster$, wy .

Do magistrali Q podłączone były wyjścia (Q0-Q3) licznika, gdzie:

- $Q(0)$ oznaczało $Q0$,
- $Q(1)$ oznaczało $Q1$,
- $Q(2)$ oznaczało $Q2$,
- $Q(3)$ oznaczało $Q3$,
- $Q(4)$ oznaczało $Q4$,

Do magistrali $ster$ podłączone były sygnały sterujące a i b oraz ich negacje, gdzie:

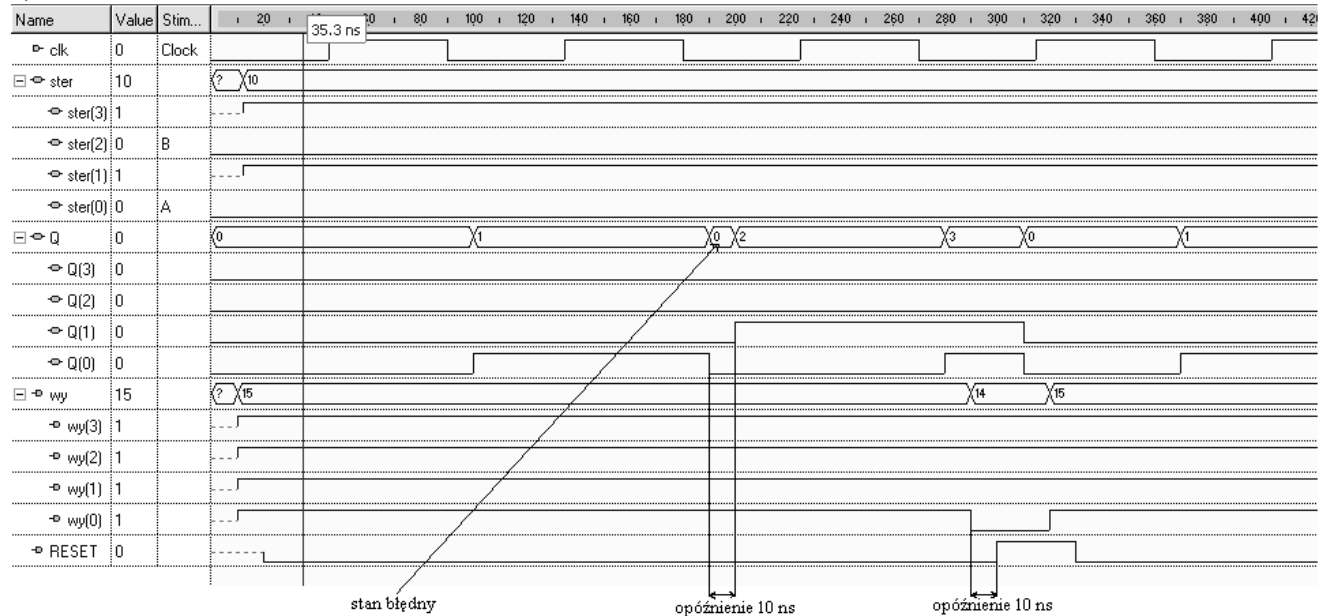
- $ster(0)$ oznaczało \bar{a} ,
- $ster(1)$ oznaczało \bar{a} ,
- $ster(2)$ oznaczało b ,
- $ster(3)$ oznaczało \bar{b} ,

Do magistrali wy podłączone były wyjścia każdego z dekodерów (*modulo 3, modulo 5, modulo 9, modulo 12*), gdzie:

- *wy(0)* oznaczało wyjście dekodera *modulo 3*,
- *wy(1)* oznaczało wyjście dekodera *modulo 5*,
- *wy(2)* oznaczało wyjście dekodera *modulo 9*,
- *wy(3)* oznaczało wyjście dekodera *modulo 12*,

Przebiegi czasowe:

a) modulo 3



Z powyższego przebiegu widać, że układ reaguje na zbocze opadające sygnału zegarowego.

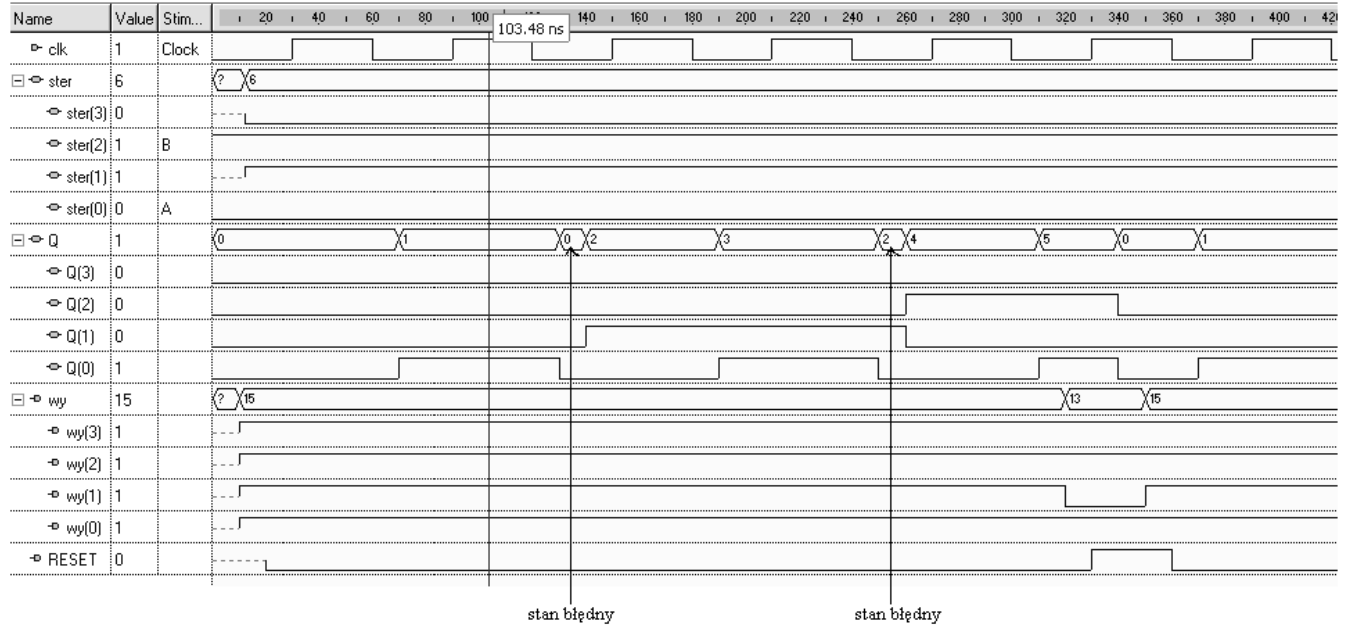
Na wejścia sterujące *a* i *b* podałem sygnał niski ('0'). Widać, że sygnały *ster(0)* i *ster(2)* mają stan niski, a sygnały *ster(1)* i *ster(3)*, które są negacją sygnałów *a* i *b* mają stan wysoki ('1'). W takim przypadku układ miał liczyć *modulo 3* i widać, że właśnie tak pracuje licznik. W stanie 3 na *wy(0)* pojawił się stan niski, który powodował wystąpienie na wejściu RESET stanu wysokiego ('1'), co powodowało wyzerowanie licznika.

Na przebiegu czasowym widać opóźnienia, jakie występują na kolejnych wyjściach. Jest to spowodowane opóźnieniem działania układu. Różnica pomiędzy kolejnymi wyjściami wynosi 10ns, co powoduje występowanie stanów błędnych. Możemy je zauważyć na magistrali *Q*, która przedstawia pracę działania licznika. Doskonale widać, że pomiędzy stanem 1 i 2 przez 10 ns występuje stan 0, który jest stanem błędnym i jest wynikiem opóźnienia sygnału na *Q(1)* względem wyjścia *Q(0)*.

Stany błędne są wynikiem opóźnień pomiędzy poszczególnymi wyjściami.

Opóźnienia i stany błędne analogicznie pojawiały się na pozostałych przebiegach.

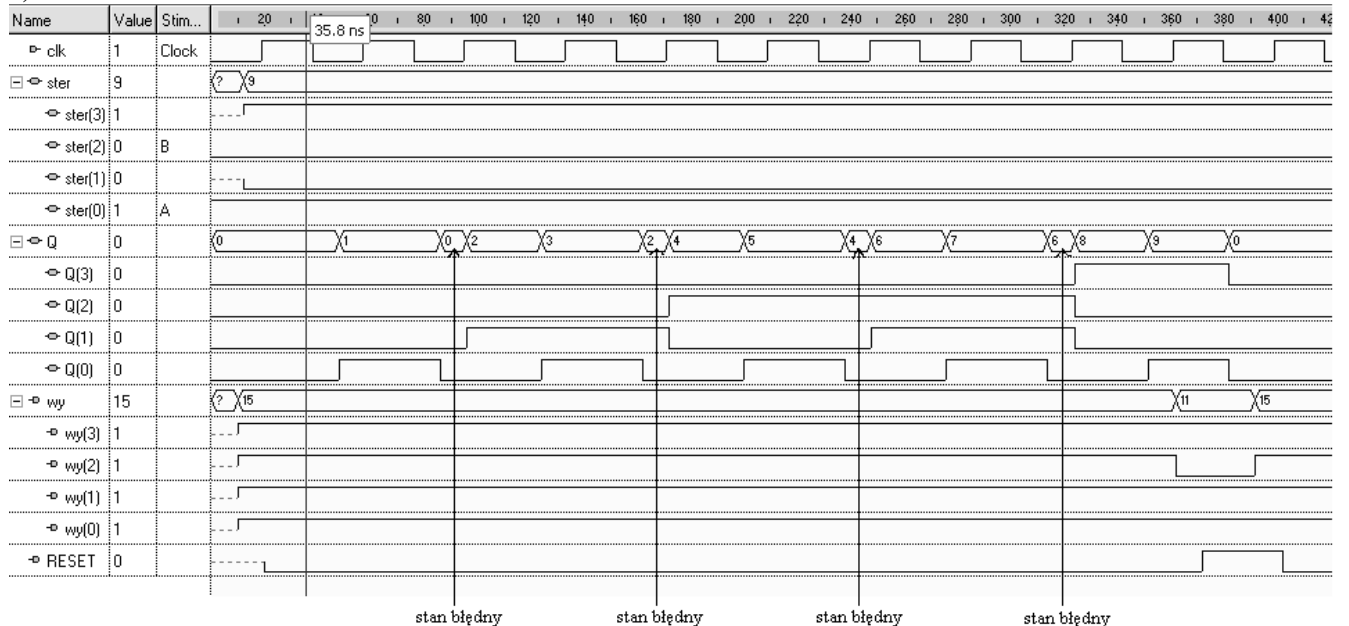
b) modulo 5



Na wejścia sterujące *a* podałem sygnał niski ('0'), a na wejście *b* sygnał wysoki ('1'). Widać, że sygnał *ster(0)* ma stan niski, a sygnał *ster(2)* ma stan wysoki. Sygnały *ster(1)* i *ster(3)*, które są negacją sygnałów *a* i *b* mają odpowiednio stan wysoki ('1') i niski ('0'). W takim przypadku układ miał liczyć modulo 5 i widać, że właśnie tak pracuje licznik. W stanie 5 na *wy(1)* pojawił się stan niski, który powodował wystąpienie na wejściu RESET stanu wysokiego ('1'), co powodowało wyzerowanie licznika.

Poszczególne stany błędne zostały przedstawione, a opóźnienia występują identycznie jak w przypadku modulo 3.

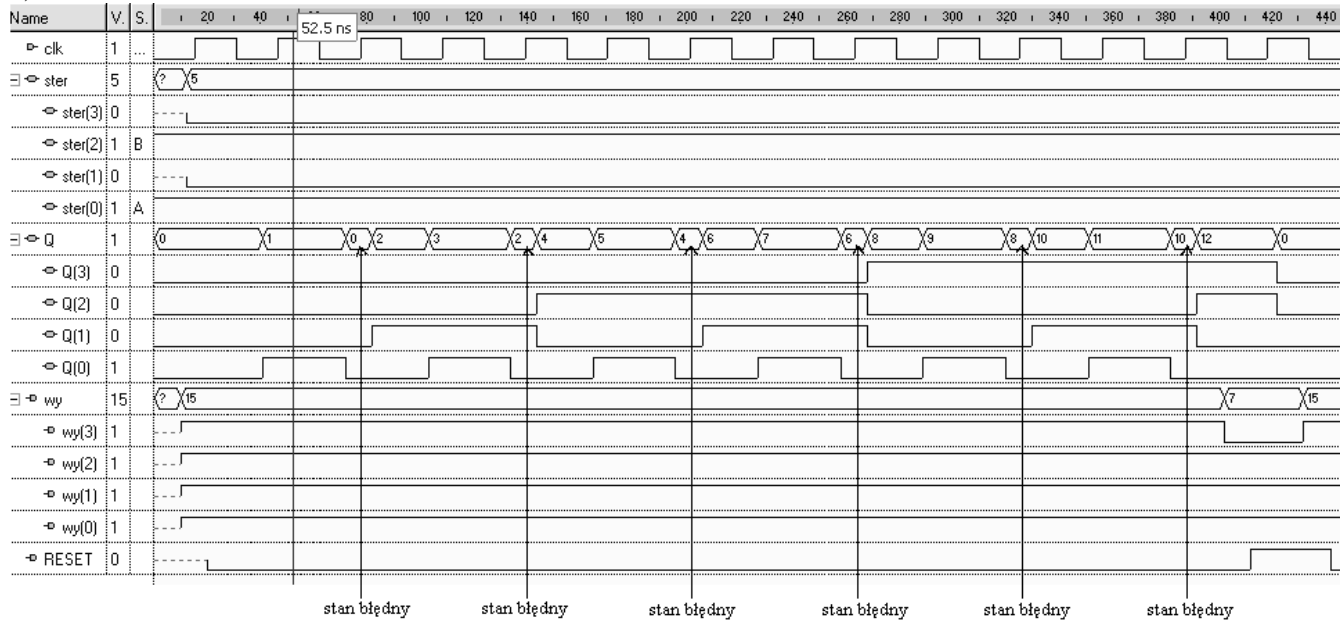
c) modulo 9



Na wejścia sterujące *a* podałem sygnał wysoki ('1'), a na wejście *b* sygnał niski ('0'). Widać, że sygnał *ster(0)* ma stan wysoki, a sygnał *ster(2)* ma stan niski. Sygnały *ster(1)* i *ster(3)*, które są negacją sygnałów *a* i *b* mają odpowiednio stan niski ('0') i wysoki ('1'). W takim przypadku układ miał liczyć modulo 9 i widać, że właśnie tak pracuje licznik. W stanie 9 na *wy(2)* pojawił się stan niski, który powodował wystąpienie na wejściu RESET stanu wysokiego ('1'), co powodowało wyzerowanie licznika.

Poszczególne stany błędne zostały przedstawione, a opóźnienia występują identycznie jak w przypadku modulo 3.

d) modulo 12



Na wejścia sterujące *a* i *b* podałem sygnał wysoki ('1'). Widać, że sygnały *ster(0)* i *ster(2)* mają stan wysoki, a sygnały *ster(1)* i *ster(3)*, które są negacją sygnałów *a* i *b* mają stan niski ('0'). W takim przypadku układ miał liczyć modulo 12 i widać, że właśnie tak pracuje licznik. W stanie 12 na *wy(3)* pojawił się stan niski, który powodował wystąpienie na wejściu RESET stanu wysokiego ('1'), co powodowało wyzerowanie licznika.

Poszczególne stany błędne zostały przedstawione, a opóźnienia występują identycznie jak w przypadku modulo 3.

Koszt realizacji.

- 74HC93/Ph (układ **7493**) – 6,77 zł
- 74HC04/Ph (układ **7404**) – 2,36 zł
- 74HC20/Ph (układ **7420**) – 2,36 zł

$$\text{Koszt} = 6,77 + 2,36 + 3 \cdot 2,36 = 16,21 \text{ zł}$$

Powyższe elementy są najtańszymi elementami z danej grupy z katalogu ELFY.

Wnioski:

Liczniki są grupą układów logicznych (sekwencyjnych) służących do liczenia impulsów i pamiętania ich liczby.

W licznikach asynchronicznych impulsy wejściowe są podawane na jeden przerzutnik, w związku z tym informacja na wyjściach przerzutników pojawia się w różnych chwilach czasowych.

W przypadku układu 7493 impulsy wejściowe (clk) podawane były na wejście licznika modulo 2 (P14), a na wejście licznika modulo 8 (P1) podłączony był do wyjścia licznika modulo 2 (P12).

Układ 7493 jest układem MSI (średniej skali integracji) i do zbudowania licznika modulo 15 potrzebny nam jest ten układ i jeden układ z czterowejściową bramką AND. Chcąc zbudować licznik mod 15 przy pomocy układów SSI (małej skali integracji) musimy mieć 2 układy 7473 i jeden układ z czterowejściową bramką AND. Tak więc korzystając z układów MSI oszczędzamy miejsce na płycie drukowanej.

Wadą tego licznika jest występowanie dużej ilości stanów błędnych, przez co liczniki te są bardzo rzadko wykorzystywane.