

SPRAWOZDANIE
Z
LABORATORIUM UKŁADÓW LOGICZNYCH

Temat ćwiczenia nr 8: Układy konwersji szeregowo równoległej.

Wykonał:

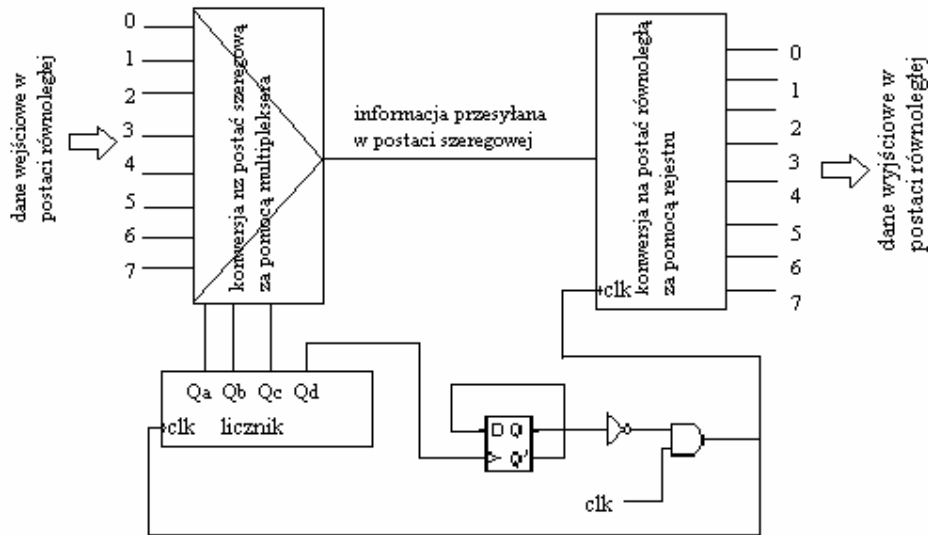
CEL ĆWICZENIA:

Celem ćwiczenia jest zapoznanie się z metodami konwersji danych (z postaci szeregowej na równoległą oraz z postaci równoległej na szeregową) z użyciem układów rejestrów, multiplekserów, demultiplekserów.

PRZEBIEG ĆWICZENIA:

1. Schemat blokowy projektowanego układu (rys 1)

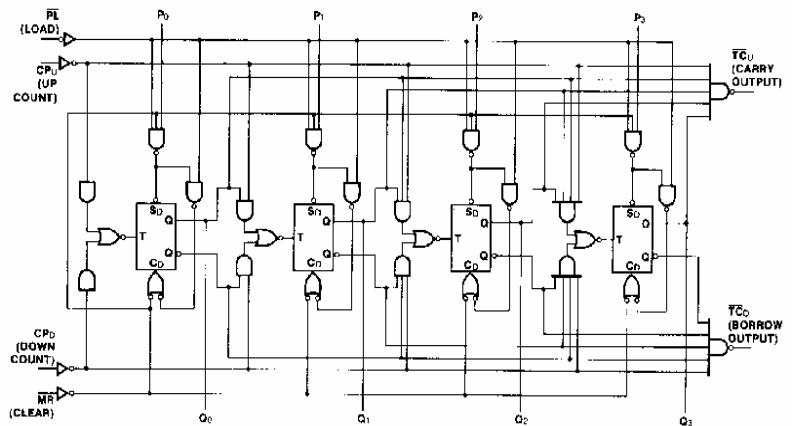
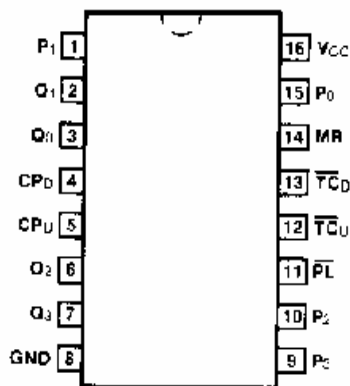
Naszym zadaniem było przesłanie danej 8 bitowej z multipleksera do rejestru. Przerzutnik D spełniał rolę dwójki liczącej, która wraz z bramkami powodowała zablokowanie pracy układu po ósmym takcie sygnału zegarowego.



rys. 1

2. Układy TTL wykorzystane do budowy układu:

a) 74193 (licznik synchroniczny modulo 16)



b) **74151** (multiplexer 8 bitowy z wyjściem komplementarnym)

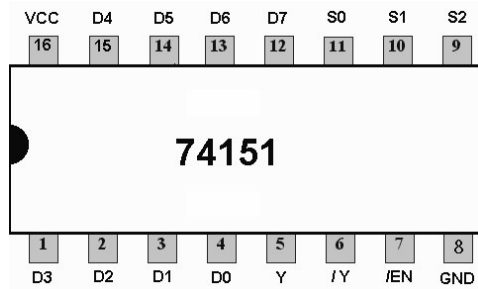


Tabela stanów

EN	S2	S1	S0	Y
1	X	X	X	Z
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7

c) **74164** (8-bit szeregowo-in równoległy-out rejestr przesuwny z asynchronicznym resetem i dwoma AND bramkowanymi wejściami szeregowymi)

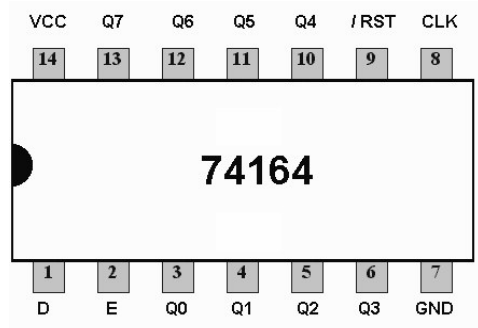
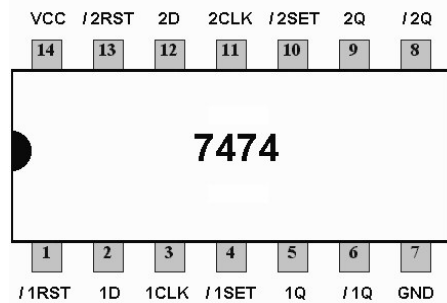


Tabela stanów

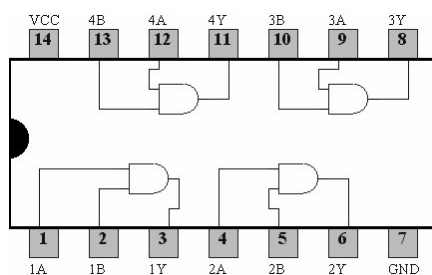
WEJŚCIA				WYJŚCIA	
RST	CLK	D	E	Q0	Q1 ... Q7
0	X	X	X	0	0 ... 0
1	0	X	X	Q0	Q1 ... Q7
1	/	1	1	1	Q0n ... Q6n
1	/	0	X	0	Q0n ... Q6n
1	/	X	0	0	Q0n ... Q6n

d) **7474** (2x przerzutnik D z ustawianiem i resetem)

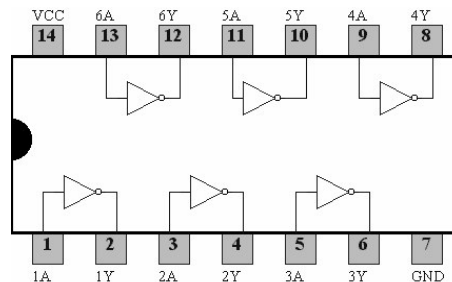


D	CLK	SET	RST	Q	/Q
X	X	0	0	0	1
X	X	0	1	1	0
X	X	1	0	0	1
0	/	1	1	0	1
1	/	1	1	1	1
X	\	1	1	-	-

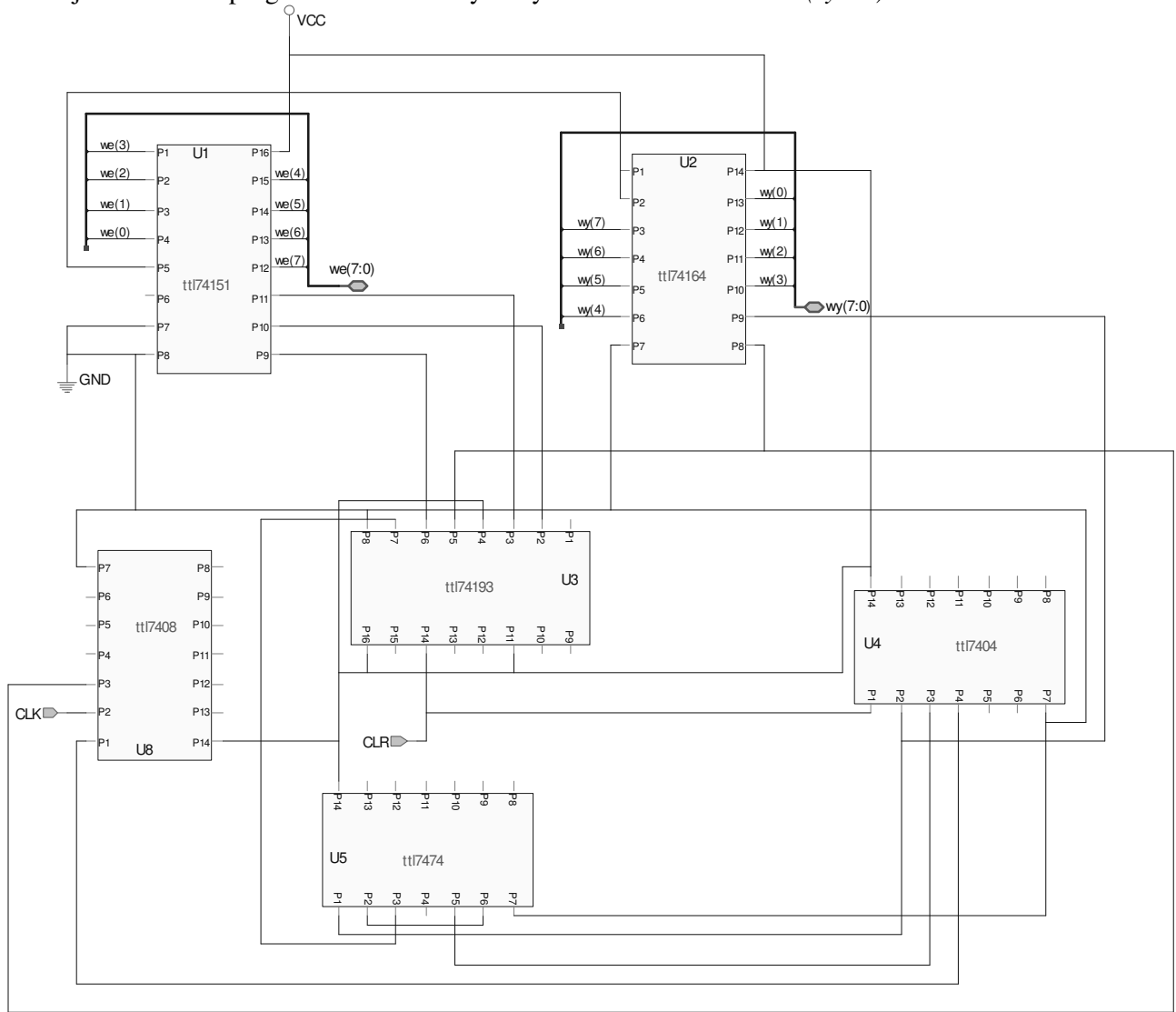
d) **7408** (4x AND)



e) **7404** (6x NOT)



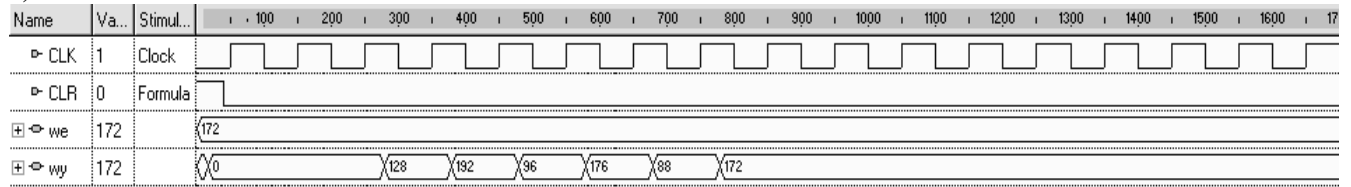
3. Projekt układu w programie AHDL z wykorzystaniem biblioteki TTL (rys. 2)



rys. 2

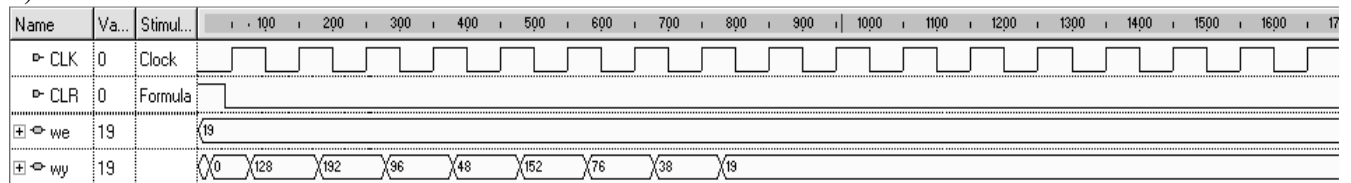
4. Przebiegi czasowe

a)



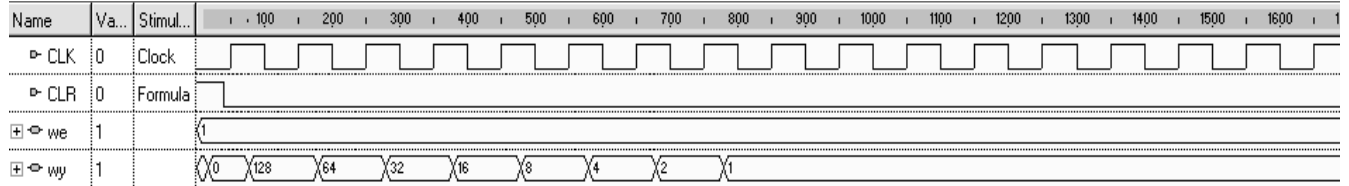
rys. 3

b)



rys. 4

c)



rys. 5

Przed rozpoczęciem pracy, układy licznika, rejestru i przerzutnika D należy wyzerować. Służy do tego sygnał CLR.

Na wejścia adresowe multiplexera **74151** poprzez licznik **74193** podajemy binarnie zakodowany numer wejścia, z którego informacja ma być przeniesiona na wyjście układu. Multiplexer zamienia informację z postaci równoległej na szeregową. Do wpisywania danych na wejście multiplexera wykorzystałem magistralę $we(7:0)$. Informacja z wyjścia multiplexera podawana jest na rejestr przesuwany **74164**, który zamienia informację z postaci szeregowej na równoległą. Wyjścia rejestru $Q_0 - Q_7$ podłączone są do magistrali $wy(7:0)$, ale w odwrotnej kolejności, tzn. najbardziej znaczące wyjście rejestru (Q_7) połączone jest z najmniej znaczącym wyjściem magistrali $wy(0)$. Na przebiegach czasowych (szczególnie w podpunkcie c)) widać, że informacja na wyjściu równoległym pojawia się najpierw na wyjściu najbardziej znaczącym ($wy(7)$ magistrali $wy(7:0)$), a następnie przepisywane jest na wyjścia mniej znaczące ($wy(6), wy(5), \dots, wy(0)$). Gdy informacja przesunie się z wyjścia $wy(7)$ na wyjście $wy(0)$, to układ zakończy swoją pracę. Stanie się to po ósmym cyklu zegarowym..

Do zatrzymania układu wykorzystałem przerzutnik D (dwójkę liczącą), bramkę AND i NOT.

Wnioski:

W ćwiczeniu tym korzystaliśmy z następujących układów:

- scalonego rewersyjnego licznika synchronicznego modulo 16 74193. Pracuje on w następujących trybach:
 - równoległego wpisywania stanu (informacji) startowego (wejścia równoległe danych A, B, C, D);
 - równoległego wyprowadzania informacji (Q_D, Q_C, Q_B, Q_A);
 - dwukierunkowego zliczania impulsów (wejścia T_+ - dla dodawania impulsów i T_- - dla odejmowania impulsów);
 - łączenia w zespoły liczników o większej pojemności (przez wyjścia przeniesienia P_+ - do zliczania w przód i pożyczki P_- - do zliczania wstecz).
- 8 bitowego multiplexera 74151 z wyjściem komplementarnym, który posiada trzy wejścia adresowe i osiem wyjść informacyjnych oraz dwa wejścia (drugie jest negacją pierwszego).
- szeregowo-równoległy rejestr ośmiobitowy 7474, umożliwiający szeregowe wprowadzenie i równoległe wyprowadzenie informacji